



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05243517 A

(43) Date of publication of application: 21.09.93

(51) Int. Cl

H01L 27/108**H01L 21/90****H01L 27/04**

(21) Application number: 04037414

(71) Applicant: NEC CORP

(22) Date of filing: 25.02.92

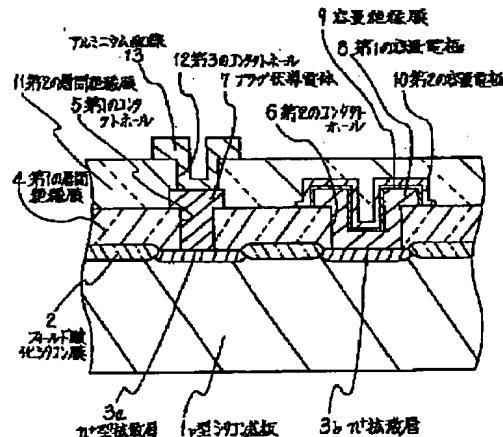
(72) Inventor: YAJIMA TAKASHI

(54) SEMICONDUCTOR DEVICE**(57) Abstract:**

PURPOSE: To make a step coverage of an aluminum wiring excellent by a method wherein a contact hole of an n⁺ type diffused layer and the aluminum wiring is opened simultaneously when a contact hole of a capacity part is formed, and the contact hole of the n⁺ type diffused layer and the aluminum wiring is buried by a polycrystalline silicon film for a capacity electrode, in a semiconductor device having a stack-type capacitor.

CONSTITUTION: A first contact hole 5 of an opening width 0.7μm and a second contact hole 6 of an opening width 1.8μm are formed on n⁺ type diffused layers 3a and 3b respectively and a polycrystalline crystalline silicon film of a thickness 400nm is formed on the whole surface and patterned. Thereby the first contact hole 5 is buried by a plug-shaped conductor 7 and a first capacity electrode of a stack-type capacitor is formed in the second contact hole 6.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-243517

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.⁵
H 01 L 27/108
21/90
27/04

識別記号
D 7735-4M
C 8427-4M
8728-4M

府内整理番号
F I
H 01 L 27/10

3 2 5 C

技術表示箇所

審査請求 未請求 請求項の数2(全4頁)

(21)出願番号

特願平4-37414

(22)出願日

平成4年(1992)2月25日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 矢島 貴史

東京都港区芝五丁目7番1号日本電気株式
会社内

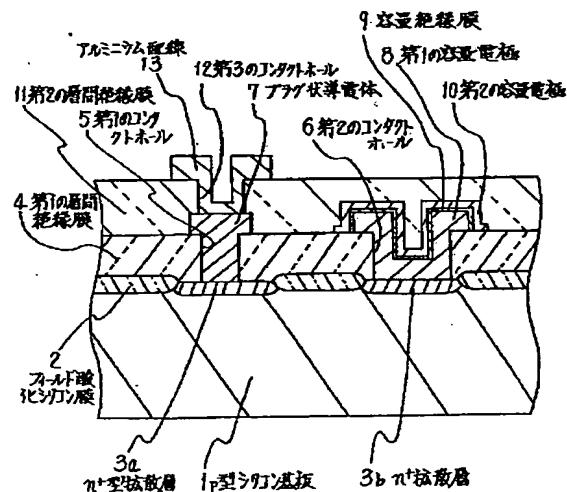
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】スタック型キャバシタを有する半導体装置においてn⁺型拡散層とアルミニウム配線とのコンタクトホールを、容量部のコンタクトホールを形成するときに同時に開口し、容量電極用の多結晶シリコン膜で、n⁺型拡散層とアルミニウム配線とのコンタクトホールを埋め込み、アルミニウム配線のステップカバレッヂを良好なものとする。

【構成】n⁺型拡散層3a, 3b上に第1のコンタクトホール5を開口幅0.7μmで、第2のコンタクトホール6を開口幅1.8μmで形成し、厚さ400nmの多結晶シリコン膜を全面に形成しバーナーニングすることにより、第1のコンタクトホール5をプラグ状導電体7で埋め込み、第2のコンタクトホール6内にスタック型キャバシタの第1の容量電極を形成する。



1

【特許請求の範囲】

【請求項1】 一導電型半導体基板を被覆する絶縁膜と、前記絶縁膜を貫通して前記半導体基板の表面に達する開口幅の小さい第1のコンタクトホールおよび開口幅の大きい第2のコンタクトホールと、厚さが前記第1のコンタクトホールの開口幅の少なくとも2分の1でかつ前記第2のコンタクトホールの開口幅の高々2分の1の多結晶シリコン膜からなり前記第1のコンタクトホールを埋込むプラグ状導電体と、前記多結晶シリコン膜と同一の厚さを有し前記第2のコンタクトホールとその近傍に形成された多結晶シリコン膜を一方の電極として有するキャパシタとを有することを特徴とする半導体装置。

【請求項2】 第1の多結晶シリコン膜および第2の多結晶シリコン膜にそれぞれ接続された一対のソース・ドレイン領域を有するMOSトランジスタと、前記プラグ状導電体に接続されたピット線とを有するメモリセルを含む請求項1記載の半導体装置。

【発明の詳細な説明】

[0 0 0 1]

【産業上の利用分野】本発明は半導体装置に関し、特に 20
スタック型キャバシタを有する半導体装置に関する。

{0002}

【従来の技術】半導体集積回路装置は年々高集積化が進んでいる。それに伴い、コンタクトホールのアスペクト比はきびしくなり、配線のステップカバレッヂは悪化している。また、より小さな面積でより大きな容量値を得るために平面的なキャバシタ構造から3次元構造への変わり、その中でスタック型キャバシタと呼ばれるものがある。

【0003】従来のスタック型キャパシタを有する半導体装置は図3に示す構造を有するp型シリコン基板1にフィールド酸化シリコン膜2からなる素子分離領域で区画された素子形成領域にn⁺型拡散層3a, 3bが形成されており、これらの全面は第1の層間絶縁膜4で覆われている。また、n⁺型拡散層3b上にはコンタクトホール6が設けられ、このコンタクトホール6は第1の容量電極8を構成する多結晶シリコン膜で覆われ、更に容量絶縁膜9を介して第2の容量電極10を構成する多結晶シリコン膜10が形成されてスタック型キャパシタとなっている。更に全面が第2の層間絶縁膜11で覆われ、n⁺拡散層3a上に設けたコンタクトホール12を通してアルミニウム配線13が接続された構造が従来の半導体装置であった。

【0004】このように、従来の半導体装置はアルミニウム配線13とn⁺拡散層3aとを接続するためのコンタクトホール12が第1の層間絶縁膜4および第2の層間絶縁膜を貫通する構造を有しているので、アスペクト比が厳しくなっている。

[0005]

【発明が解決しようとする課題】 上述した従来の半導体 50

装置は、コンタクトホールのアスペクト比が厳しくなるにつれてアルミニウム配線のステップカバレッジが悪くなりエレクトロマイグレーションやストレスマイグレーション等の信頼性が低く、場合によっては断線を発生させ製造歩留を下げる主要原因となる問題点があった。

[0006]

【課題を解決するための手段】本発明の半導体装置は、一導電型半導体基板を被覆する絶縁膜と、前記絶縁膜を貫通して前記半導体基板の表面に達する開口幅の小さい第1のコンタクトホールおよび開口幅の大きい第2のコンタクトホールと、厚さが前記第1のコンタクトホールの開口幅の少なくとも2分の1でかつ前記第2のコンタクトホールの開口幅の高々2分の1の多結晶シリコン膜からなり前記第1のコンタクトホールを埋込むプラグ状導電体と、前記多結晶シリコン膜と同一の厚さを有し前記第2のコンタクトホールとその近傍に形成された多結晶シリコン膜を一方の電極として有するキャパシタとを有するというものである。

【0·007】

【実施例】次に本発明について図面を参照して説明する。

【0008】図1は本発明の一実施例を示す半導体チップの断面である。

【0009】p型シリコン基板1上にフィールド酸化シリコン膜2とn⁺型拡散層3a, 3bが形成され、全面を第1の層間絶縁膜4が覆っている。n⁺型拡散層3a, および3b上にはそれぞれ開口幅0.7μmの第1のコンタクトホール5および開口幅1.8μmの第2のコンタクトホール6が開口されており、厚さ400nmの多結晶シリコン膜を全面に形成し、バターニングすることにより、第1のコンタクトホール7を埋込むプラグ状導電体7及び STACK型キャバシタの第1の容量電極8が形成されている。こうして形成された断面凹形の第1の容量電極8を覆って厚さ10~15nmの容量絶縁膜9たとえば酸化シリコン膜を介して厚さ200nmの多結晶シリコン膜からなるSTACK型キャバシタの第2の容量電極10が形成されている。さらに第2の層間絶縁膜11が全面を覆い、プラグ状導電体上に第3のコンタクトホール12を通して、アルミニウム配線13が接続した半導体装置となっている。

【0010】図2は本発明の一実施例の具体的応用例であるDRAMメモリセルを示す断面図である。

3

クトホール6が開口幅1.8μmで開口しており、厚さ400nmの多結晶シリコン膜を全面に形成し、パテーニングすることにより第1のコンタクトホールを埋込むプラグ状導電体7及び第1の容量電極8が形成されている。また、第1の容量電極8は厚さ10~15nmの容量絶縁膜9たとえば酸化シリコン膜を介して厚さ200nmの多結晶シリコン膜からなる第2の容量電極10で覆われている。

【0012】更に第2の層間絶縁膜11が全面に形成されており、プラグ状導電体7上に第3のコンタクトホール12を通してピット線となるアルミニウム配線13が接続されている。

【0013】このようにして1トランジスタ型ダイナミックランダムアクセスメモリを実現することができる。また通常CVD方式で形成する多結晶シリコン膜は段部のカバーレッジがほとんど100%のため多結晶シリコン膜の膜厚の2倍よりも小さい値に第1のコンタクトホールの開口幅を形成すれば、第1のコンタクトホールは多結晶シリコン膜で埋め込まれた構造となる。アルミニウム配線13は、プラグ状導電体7を介してn⁺型拡散層3aと接続されるので、アスペクト比の小さいコンタクトホール部を覆へばよいのでステップカバーレッジ良く形成され配線の信頼性が改善される。また多結晶シリコン膜の膜厚の2倍よりも大きい値に第2のコンタクトホールの開口幅を形成すれば、第2のコンタクトホール内の多結晶シリコン膜は断面凹形となり側壁を容量部として利用することができる。

【0014】

【発明の効果】以上説明したように本発明は、開口幅の小さい第1のコンタクトホールおよび開口幅の大きい第2のコンタクトホールにそれぞれプラグ状導電体および

4

断面凹状のキャバシタの一方の電極を有しているので、上層の層間絶縁膜に被着される電極配線と半導体基板の表面領域とのコンタクトをプラグ状導電体を介してとることができ。従って、前述の電極配線のステップカバーレッジが良好となる。従って、 STACK型キャバシタの有する半導体装置の配線の信頼性および歩留りの改善が可能となる効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例を示す半導体チップの断面図である。

【図2】一実施例を応用例を示す半導体チップの断面図である。

【図3】従来例を示す半導体チップの断面図である。

【符号の説明】

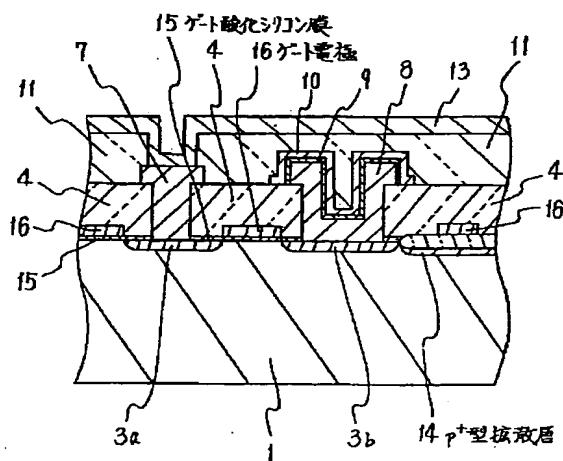
1	p型シリコン基板
2	フィールド酸化シリコン膜
3a, 3b	n ⁺ 型拡散層
4	第1の層間絶縁膜
5	第1のコンタクトホール
6	第2のコンタクトホール
7	プラグ状導電体
8	第1の容量電極
9	容量絶縁膜
10	第2の容量電極
11	第1の層間絶縁膜
12	第3のコンタクトホール
13	アルミニウム配線
14	p ⁺ 型拡散層
15	ゲート酸化シリコン膜
16	ゲート電極

20

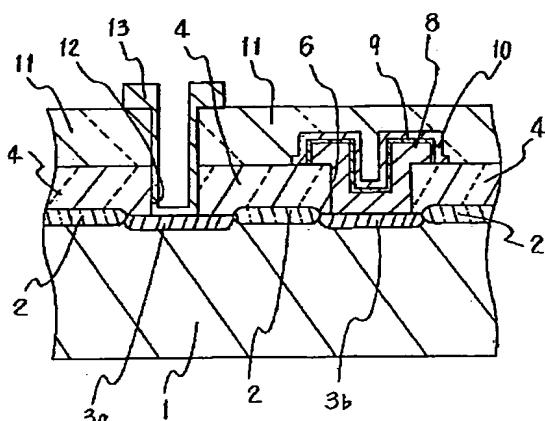
30

30

【図2】



【図3】



【図1】

